

冷却储存环外靶 γ 球子触发系统设计

宋海声¹ 苏凤娇^{1,2} 李先勤² 张 奇³ 陈 勇³ 闫 铎²

杨海波² 孔 洁² 苏 弘²

1(西北师范大学 兰州 730070)

2(中国科学院近代物理研究所 兰州 730000)

3(哈尔滨工业大学 哈尔滨 150001)

摘要 介绍了兰州重离子加速器冷却储存环(Heavy Ion Research Facility at Lanzhou - Cooling Storage Ring, HIRFL-CSR)外靶实验子触发判选系统的设计,该系统可实现对外靶实验中 γ 球探测器输出信号的筛选从而保证后续的物理分析可以高效进行。系统基于Flash型现场可编程逻辑门阵列(Field Programmable Gate Array, FPGA)研制,主要是对光口模块和以太网模块进行设计,分别用来实现与总触发判选系统的通信和与上位机的信号传输。目前已完成实验室电子学测试,测试结果能够满足当前子触发系统满足外靶实验需求。

关键词 外靶实验,子触发判选系统,Flash型FPGA,光纤接口,以太网,性能测试

中图分类号 TL8

DOI: 10.11889/j.0253-3219.2020.hjs.43.030402

Design and implementation of sub-trigger system for CSR external target γ detection

SONG Haisheng¹ SU Fengjiao^{1,2} LI Xianqin² ZHANG Qi³ CHEN Yong³ YAN Duo²

YANG Haibo² KONG Jie² SU Hong²

1(Northwest Normal University, Lanzhou 730070, China)

2(Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China)

3(Harbin Institute of Technology, Harbin 150001, China)

Abstract [Background] The gamma detection array is an important device in the heavy ion research facility at Lanzhou - cooling storage ring (HIRFL-CSR). In order to eliminate invalid information such as background noise in the experiment, to ensure that subsequent physical analysis can be performed efficiently, a sub-trigger selection system needs to be designed for CSR external target γ detection array. [Purpose] This study aims to design aforementioned sub-trigger system for selectable interesting signal in the events recorded by the gamma detector. [Methods] Based on flash-based field programmable gate array (FPGA), this sub-trigger system mainly consisted of the optical fiber interface and the Ethernet interface. The former was used for signal transmission with global trigger and system, and the latter was used to communicate with host computer. Experimental tests were carried out to evaluate the performance of the sub-trigger system. [Results & Conclusions] The test results show that this sub-trigger system is suitable for external target experiment.

Key words External target experiment, Sub-trigger selection system, Flash-type FPGA, Optical port, Ethernet, Performance test

国家自然科学基金(No.11664036、No.11605265)、兰州区域中心(No.2020g101)资助

第一作者: 宋海声, 男, 1964年出生, 毕业于西北师范大学, 研究领域为计算机测量与控制

通信作者: 杨海波, E-mail: yanghaibo@impcas.ac.cn

收稿日期: 2019-11-22, 修回日期: 2020-02-09

National Natural Science Foundation of China (No.11664036, No.11605265), Lanzhou Regional Center Funding (No.2020g101)

First author: SONG Haisheng, male, born in 1964, graduated from Northwest Normal University, focusing on computer measurement and control

Corresponding author: YANG Haibo, E-mail: yanghaibo@impcas.ac.cn

Received date: 2019-11-22, revised date: 2020-02-09

兰州重离子加速器 (Heavy Ion Research Facility at Lanzhou, HIRFL)^[1]是目前我国规模最大、加速粒子种类最多、能量最高的重离子研究装置。冷却储存环 (Cooling Storage Ring, CSR)^[2]是其主要加速器之一,由主环 (CSRm)、实验环 (CSRe) 和第二条放射性束流线 (Radioactive Beam Line, RIBLL II) 组成。外靶实验便是研究经 CSRm 加速后的束流在 RIBLL II 中打靶后产生的放射性束性质的实验。其中 γ 球探测器^[3]是外靶实验的核心探测器,主要研究放射性束退激产生的 γ 射线的能量等信息。为剔除探测器信号中的本底噪声等无效信息,需要设计一个触发判选系统,根据有效事例次级粒子间的时间和逻辑关系对探测器信号进行筛选。通过对国内外的一些大型物理实验进行分析,如北京正负电子对撞机实验^[5]、欧洲粒子研究组织的 ALICE (A Large Ion Collider Experiment) 实验^[6],会发现对触发判选系统大都采用多级触发的方式,针对探测器信号电子学通道数目多的输出特点,首先在子触发系统中采用逻辑算法,将事件率降低,然后通过总触发,对各个探测器的时间和逻辑进行分析,完成最终触发。本实验中的触发判选系统除了采用以上方案,同时也根据 CSR 外靶实验于高能辐射环境下进行的特点,选用 Flash 型 FPGA (Field Programmable Gate Array) 进行子触发系统的硬件开发,有效地避免了芯片的单粒子翻转效应^[7],同时不会因掉电而丢失数据,并能通过公共网络实现安全性远程升级。另外还要求系统具有可重构的特点,即能够根据实验目标的不同对判选条件进行修改。本文便是对子触发系统进行相关设计与测试。

1 系统结构

如图 1 所示为 CSR 外靶实验触发判选电子学系统总体结构。探测器探测到的信号输入至前端电子学 (Front-end Electronics, FEE)^[8-9],进行相应测量、缓存一定事例信息的同时,提取出一些特征信息(如探测器击中信息)发送至子触发判选系统 (Sub_Trigger System)。子触发判选系统根据上位机设置的触发条件进行判选,将满足条件的信号的触发信息、位置信息等有效信息输入至总触发判选系统 (Global_Trigger System) 做进一步综合处理,产生总触发信号反馈至子触发系统。子触发系统再通知前端电子学让其将有效信号保留住同时通知数据获取系统 (Data Acquisition, DAQ) 将有效信号记录下来。

子触发判选系统设计难点包括:1)较高的触发判选速度;2)较强的触发判选灵活度;3)可以根据不

同的实验条件设置相应的触发条件。

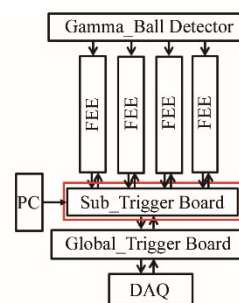


图1 CSR外靶实验触发判选电子学系统总体结构
Fig.1 The overall structure of the electronic system in CSR external target experiment triggers

2 子触发判选系统设计

2.1 子触发系统硬件设计

图 2 为子触发板硬件设计。主要包括电源模块、时钟模块、FPGA 模块、光口模块和以太网模块。电源模块通过电源转换芯片 TPS79625^[10]等为系统各模块提供所需电源;时钟模块由时钟晶振为系统提供高精度 100 MHz 时钟;FPGA 模块采用美国 Microsemi 公司的 SmartFusion2 系列 FPGA M2S090T-FGG484^[11],该芯片包含 ARM Cortex-M3 处理器为核心的微处理器系统 (Microcontroller Subsystem, MSS)、FPGA 和一些硬核如 Serdes (SERializer/DESerializer (串行器/解串器))^[12]等资源,可以方便地进行 SOC (System on Chip) 系统的开发设计;光口模块实现子触发系统与总触发系统的相互通信;以太网模块实现上位机对子触发系统的控制。

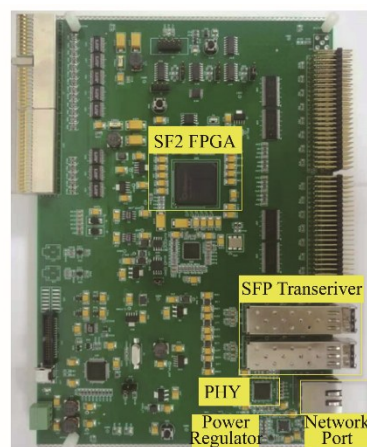


图2 子触发板硬件设计
Fig2 The hardware design of the sub-trigger system

2.2 子触发系统 FPGA 设计

如图 3 所示为子触发系统整体结构图。子触发

判选系统由MSS和FPGA两部分组成。MSS内部以MAC IP核为主,通过与DMA (Direct Memory Access)和ARM (Advanced RISC Machine)的配合,实现用以太网配置系统的工作状态、寄存器值等各

参数。FPGA的设计分为高速串行收发器IP核Serdes和User logic,分别实现与总触发系统的光纤通信和子触发系统的用户配置。

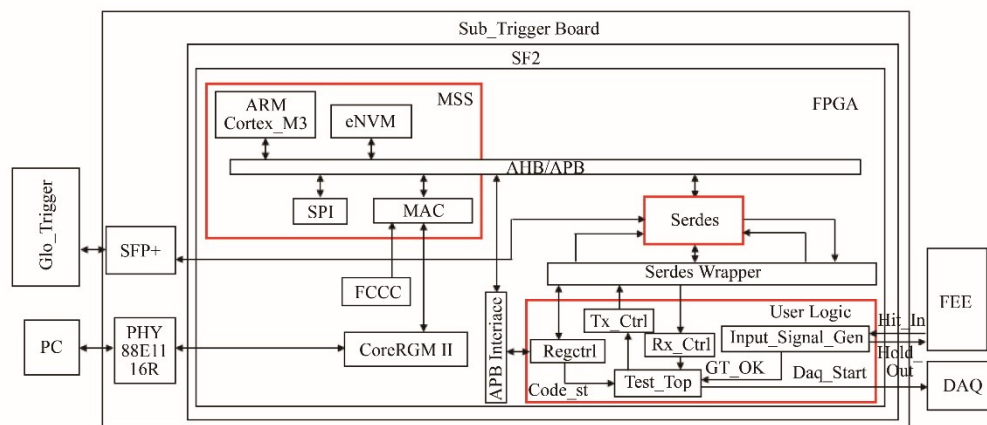


图3 子触发系统整体结构图
Fig.3 The overall structure of the sub-trigger system

其中子触发系统一次有效的工作过程如图4所示,以第一次击中作为开始的标志,进行一段时间event time的击中计数。在计数过程中,若击中数等于阈值,则开始对之后击中的信号进行延时即发出hold_delay(包括等于阈值的信号),之后给出hold_out使相应的通道hold住。event time计数完成后,子触发板将总击中个数通过光口发送给总触发板。为保证在时间周期内最后一个击中能有效hold,event time后,再延时一段时间hold_delay,之后产生hold_ready信号。然后向其他所有未触发的通道也统一发出hold命令,保证此时所有的通道都保持住。另一部分与DAQ (Data Acquisition)板交互的逻辑,主要负责接收主触发板反馈的GT_OK信号,如果该信号为1且hold_ready也是1,则向DAQ板发出start信号,并等待DAQ板采集数据完成。如果DAQ板处理完成,则向整个系统发出清零信号,重新开始整个过程。

2.2.1 光口模块描述

系统使用光口模块实现子触发系统和总触发系统之间的数据传输。Serdes核作为光口传输的核心模块,是一种高速串行的收发器IP核,其内部包含4个通道,在设计中可以被定制为EPCS (Extended Physical Coding Sublayer)接口,实现用户自定义的协议类型。

具体的Serdes核的通信过程如图5所示。在子触发判选系统上电后,MSS会运行事先烧录在eNVM里面的配置文件,将相关寄存器信息加载到FPGA中的外设Serdes核里,启动Serdes的工作状

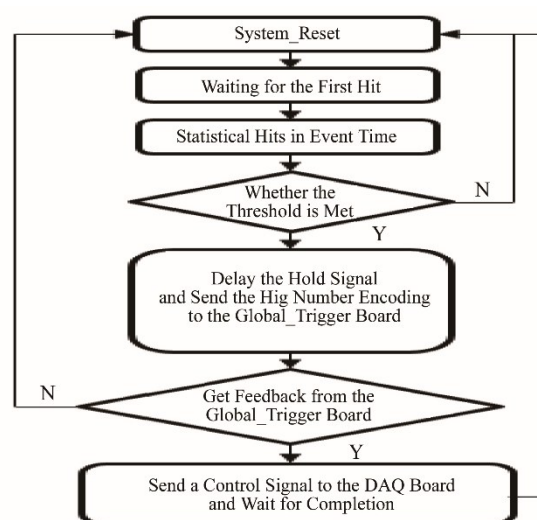


图4 子触发系统工作流程图
Fig.4 The work flow chart of Sub-trigger system

态。工程中,Serdes中的寄存器可以由自己用Verilog描述的APB (Advanced Peripheral Bus)主设备配置,也可以由M3进行配置。而且通过APB接口,M3不仅可以实现对Serdes的配置,还能在一些配套工具的帮助下实现实时的监控和调试功能,如状态检查、PRBS (Pseudo-Random Binary Sequence)测试和回环测试等。目前的工程为满足抗辐射条件,Serdes中的寄存器由自己用Verilog描述的APB主设备配置,这样可以保证在M3不工作的情况下,实现对光口的初始化。

工作模式下,Serdes核的功能主要是接收前端电子学模块发送来的有效击中数据,在一定条件下(取决于子触发板的控制),通过Serdes核,把有效击

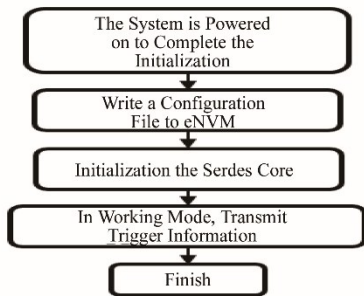


图5 Serdes核的通信过程
Fig.5 The communication process of Serdes core

中数据发送给总触发板。既实现了子触发板与总触发板触发信息的长距离传输,同时隔离了各机箱间的电气连接。在Serdes与实际击中数据之间加入了PCS (Physical Coding Sublayer)核^[13],提供8B/10B编解码的功能,增强传输的可靠性。而且为了使Serdes核与FPGA之间的接口具备通用性和易用性,特意封装了其接口模块的发送时序和接收时序,包括编解码、位数拼接、信号对齐等内容。电路满足击中阈值想发送数据时,只需要在数据接口给出数据即可实现发送。需要接收相应数据时,只需要给出相应的目标k_char码进行匹配即可,即测试码为BCBC(K28.5)。

2.2.2 以太网模块描述

以太网IP应用如图6所示。系统使用以太网模块作为上位机与子触发之间的信号传输接口,灰线为配置通道,黑线为数据传输通道。通过该接口,使用标准的以太网协议和其他协议,子触发系统实现与上位机之间的数据和命令交换,满足用户对触发条件、触发参数、定制FPGA中用户逻辑等功能的需要。

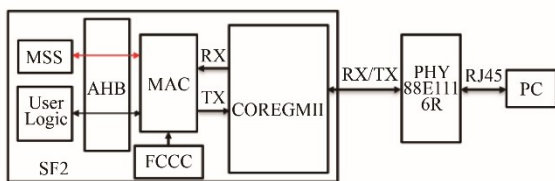


图6 以太网IP应用框图
Fig.6 The block diagram of Ethernet IP application

当系统上电后,MSS可以通过AHB总线接口按照用户预先配置的要求对以太网核(MAC和PHY芯片)进行初始化,同时完成IP地址的初始化。工程中例化了COREGMII IP核,将MAC核的GMII接口转化为RGMII,实现MAC核与PHY芯片之间的连接。除此之外,在以太网初始化过程中,两边的通信硬件设备会在PHY的控制下开始自动协商,产生一个两边通信都满足的最大速率,并给出相应的通信时钟。因此在电路上例化了FCCC时钟分频模

块,能根据以太网的自动协商结果决定从125 M、25 M、2.5 M时钟中输出哪一个作为实际的通信时钟使用。初始化成功之后,以太网核通过RJ45接口接收上位机发送来的命令并对其进行解包处理,之后通过AHB和Interface Logic把命令发送到用户逻辑,实现对用户逻辑的重新设置。具体的MAC核的上电配置过程和接收上位机数据包的过程如图7所示。

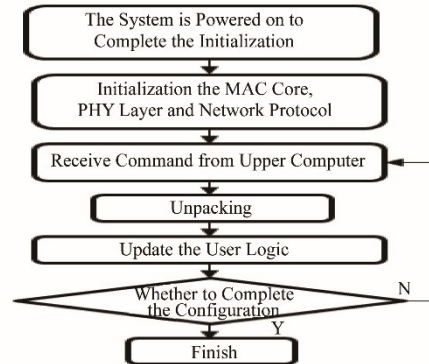


图7 MAC核初始化及接收上位机数据包流程图
Fig.7 The flow chart of MAC core initialization and receiving host computer data packet

2.2.3 用户逻辑模块描述

用户逻辑是方案中预留给用户的可定制的一部分FPGA资源。硬件连接上,用户逻辑和其他开发框架之间的功能连接主要靠APB接口和Serdes接口。此工程中的应用是实现了子触发系统的判断选择功能,用户逻辑处理从探测器发出的原始脉冲信号,经过逻辑运算,将产生的子触发信息通过光口发送给总触发系统。另外,用户逻辑还负责接收上位机和总触发系统的配置命令和反馈信息,调整电路逻辑参数,以满足不同的应用场景。子触发模块接收各个有效击中信号,根据实验的要求,满足阈值条件产生子触发信号之后,子触发信息会传给总触发模块。

用户逻辑模块划分如图8所示。上位机通过以太网将所需的命令写入MSS的寄存器中,这些寄存器时挂在APB总线上的。RegCtrl模块对相应的寄存器进行解释并负责整个系统的寄存器配置和运行状态的配置。Input_signal_gen模块是测试模式下的一个测试信号产生模块,外靶实验情况下,输入信号SIGN_IN可以直接连接到算法模块中,但在测试模式,向后级输出的信号会替换为自定义的数值。Test_top模块负责整个算法的实现,当采集到一定时间满足阈值的击中数后,将处理好的数据信号Code_st向后级Tx_ctrl模块发出,同时接受判断从Rx_ctrl模块发出的GT_OK信号是否为1,以此决定

是否继续向前端电子学和 DAQ 发出控制信号。Tx_ctrl 模块和 Rx_ctrl 模块是光口发送数据和接收数据的处理模块,由于总触发系统的光口通信速率固定为 800 Mbps,而子触发系统的 IP 核对时钟的限制是最低 80 MHz,故将子触发系统的光口的速率配置为 80 MHz $\times$ 10 bit,而接收到总触发信息的数据位是 20 bit,所以这两个模块也是负责拼接和处理对齐的功能模块。最后,系统中的其他模块主要负责对信号进行相应的处理和判断,如脉冲展宽模块、跨时钟域同步模块、信号延时模块等。

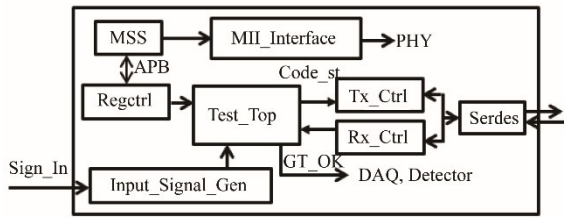


图8 用户逻辑模块划分图
Fig.8 The partition diagram of user logic module

3 触发系统测试

3.1 子触发系统光口模块测试

高速串行数据传输中,利用示波器的余辉模式,在数据接收端对每一个码元进行扫描,调整示波器水平扫描周期使其与接收码元周期同步,这时所有的码元波形将重叠在一起,形成眼图。眼图中同时包含了高速串行信号的时间和幅度信息,是信号传输质量的最直观反映。通过眼图测试,可以评估串

行数据传输中抖动及噪声造成的影响^[15-16]。“眼睛”张开的大小反映了系统的码间串扰,张开越小,说明码间干扰越大。当传输系统受到噪声的影响时,信号的幅度会变化,“眼皮”会变厚,眼图的迹线会变得杂乱,噪声越大,迹线越宽,越模糊。同时通过眼图可以测量抖动,抖动是数据码元发生变化的实际位置与理想位置的时间偏差,是信号的水平波动,会随数据速率提高而增加,造成误码^[17]。

眼图测试中,采用采样率为 5 GHz 的示波器,带宽为 1.0 GHz 的差分探头对发送端差分信号的两端进行测量。结果如图 9 所示。从图 9 中可以看出,横坐标每格表示 500 ps,而每个码元大约占了 2.5 格,即 1.25 ns,而串行数据率为 800 Mbps,两者匹配。而且电平 1 和 0 比较平滑,表明信号噪声较小。眼图的交叉点聚集在门限电平出,整体轮廓比较清晰,眼睛睁开的比较大,表明码间串扰较小。抖动的测试结果如图 10 所示,抖动即 PK-PK 值为 41.340 ps,满足协议规范^[18],表明抖动性能合格。

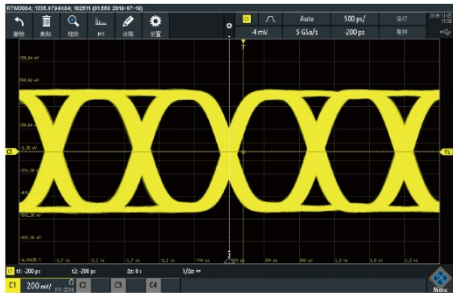


图9 光纤通道眼图测试结果
Fig.9 The test results of fiber channel eye diagram

Measurement Results							
Name	Meas	Label	Src(s)	Mean ^a	Min ^a	Max ^a	PK-PK ^a
Meas 1	TIE	TIE	Ch 3	0.0000 s	-18.582 ps	22.758 ps	41.340 ps

图10 抖动测试结果
Fig.10 The test results of Jitter

3.2 子触发系统以太网模块测试

采用 windows 的 ping 指令进行以太网的测试,结果如图 11 所示,说明以太网已接通,且测试 30 min,没有出现丢包。

3.3 触发系统联调测试

为测试子触发系统的可行性,将其与总触发系统进行了联调测试,其中总触发选用集成 Xilinx7 系列 FPGA 芯片 XC7A100T^[14]。

通信过程中,用 Microsemi 嵌入式分析仪 Identify 对子触发信号进行抓取对信号进行实时检测,如图 12 所示。可以看出子触发向总触发发送的数据 TX_DATA 一般情况下是 BCBC,但当开窗时间

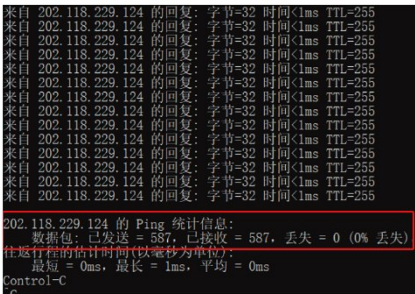


图11 以太网测试结果
Fig.11 The test results of ethernet

(event time)内击中总数大于阈值之后开始发送击中数 16'h4018,因为寄存器 test_io_reg 此时为测试模式,即设置为 5'b10111,最高位表示开启测试模式

低四位为击中数,根据 Input_signal_gen 模块的设计,总击中数为(1的个数 $\times$ 8),所以 16'h4018 是正确的。Hold_out 信号刚开始是 0,当击中条件和 Hold_delay 满足后, Hold_out 信号开始发生变化,最终统一给出 1 表示将前端电子学的通道全部保持住。之后 daq_start 信号变成高电平表示 DAQ 开始对前端电子学的信号进行采集,等到 daq_done 信号为 1 后,开始下一个周期。此结果代表光口通信结果正确。

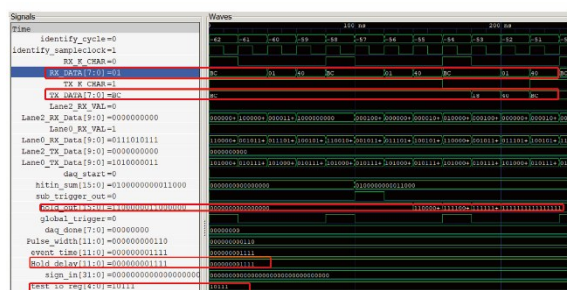


图 12 Identify 抓取子触发系统通信波形

Fig.12 Communication waveform of the sub-trigger system captured by Identify analyzer

如图 13 所示,当改变寄存器的值时,执行命令使 test_io_reg 为 5'b10011,这时测试模式下发送的击中数变成了 16'h4010。再次抓取波形,接收到的数据为相应的 16'h4010,表示以太网通信结果正确。

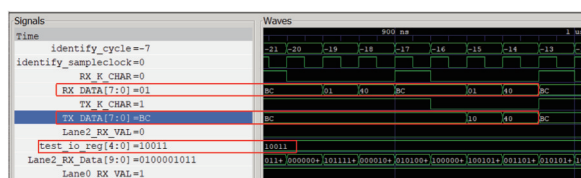


图 13 Identify 重新抓取子触发系统通信波形

Fig.13 Re-captured communication waveform of the sub-trigger system by Identify analyzer

4 总结

本文实现的是目标触发判选电子学系统,在总的系统中属于子触发判选系统。实现的平台是 Microsemi 公司的 SmartFusion2 系列的 M2S090T-FGG484 芯片。基于这款芯片的特点,我们在实现方案中,以 Cortex-M3 处理器为核心,结合以太网来实现与上位机的交互;使用光口作为与总触发板的数据传输以及控制命令传输接口。此外,为了满足不同应用场景下不同用户的需求,我们使用框架化模块化的设计方法,特地预留出可以定制的 FPGA 用户逻辑部分,同时提供易于修改的配置单元和配置接口,让用户在最短的时间内完成系统框

架的修改。综上,基于这个框架的子触发判选系统,经实验室测试,能最大化地满足用户的 User logic 的重新配置需求以及很好地解决与探测器和总触发判选系统之间的交互问题,即满足 HIRFL-CSR 外靶实验的需求,接下来等待束流进行外靶终端现场测试。

参考文献

- Xia J W, Zhan W L, Wei B W, *et al.* The heavy ion cooler-storage-ring project (HIRFL-CSR) at Lanzhou[J]. Nuclear Instruments & Methods in Physics Research, Section A, (Accelerators, Spectrometers, Detectors and Associated Equipment), 2002, **488**(1-2): 11-25.
- Zheng C, Xiao Z G, Xu H S, *et al.* Hadron physics programs at HIRFL-CSRm: Plan and status[J]. High Energy Physics and Nuclear Physics, 2007, **31**(12): 1177-1180.
- Yue K, Sun Z Y, Wang S T, *et al.* A CsI(Tl) gamma detection array at the external target hall of CSRm[J]. Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, 2013, **317**: 653-656. DOI: 10.1016/j.nimb.2013.07.037.
- 杨海波, 孔洁, 赵红赟, 等. 高密度塑料闪烁体探测器的数据获取系统设计[J]. 原子能科学技术, 2015, **49**(10): 1882-1887.
- YANG Haibo, KONG Jie, ZHAO Hongyun, *et al.* Design of data acquisition system for high density plastic scintillation detector[J]. Atomic Energy Science and Technology, 2015, **49**(10): 1882-1887.
- 金大鹏. BESIII的主触发事例选择子系统的设计与实现[C]. 第十四届全国核电子学与核探测技术学术年会论文集(上册), 中国核学会, 2008: 20-24.
- JIN Dapeng. Design and implementation of the main trigger case selection subsystem of BES III [C]. Proceedings of the 14th National Nuclear Electronics and Nuclear Detection Technology Academic Conference (Volume 1). Chinese Nuclear Society, 2008: 20-24.
- Fabjan C W, Jirdén L, Lindstruth V, *et al.* ALICE trigger data-acquisition high-level trigger and control system: technical design report[J]. 2004.
- Microsemi Corporation. IGLOO2 and SmartFusion2 FPGAs interim radiation report[OL/ED]. https://www.microsemi.com/document-portal/doc_download/134103-igloo2-and-smartfusion2-fpgas-interim-radiation-report.
- Kong J, Qian Y, Zhao C, *et al.* Development of the readout electronics for the HIRFL-CSR array detectors[J]. Journal of Instrumentation, **14**(02): P02012. DOI:

- 10.1088/1748-0221/14/02/P02012.
- 9 赵兴文, 苏弘, 千奕, 等. 基于 ASIC 芯片的硅微条阵列探测器多通道前端电子学模块设计[J]. 原子核物理评论, 2014, **31**(4): 499–504.
ZHAO Xingwen, SU Hong, QIAN Yi, *et al.* Design of multi-channel front-end electronics module for silicon microstrip array detector based on ASIC chip[J]. Chinese Journal of Nuclear Physics, 2014, **31**(4): 499–504.
- 10 Microsemi, SmartFusion2 FPGAs[OK/ED]. <https://www.microsemi.com/product-directory/soc-fpgas/1692-smartfusion2#overview>.
- 11 Microsemi, smartfusion2_implementing_serdes_epcs_protocol_liberov11p7_tutorial[OL/ED]. https://www.microsemi.com/document-portal/doc_download/134528-tu0570-implementing-a-smartfusion2-igloo2-serdes-epcs-protocol-design-libero-soc-v11-7-tutorial.
- 12 TEXAS INSTRUMENTS Corporation, TPS79625DCQ [OL/ED]. <https://www.ti.com/store/ti/en/p/product/?p=TPS79625DCQ>.
- 13 Microsemi, CorePCS V3.3, Handbook[OL/ED]. <https://www.docin.com/p-1880990156.html>.
- 14 Xilinx, 7 Series FPGAs GTP Transceivers[OL/ED]. http://www.xilinx.com/support/documentation/user_guides/ug482_7Series_GTP_Transceivers.pdf.
- 15 王东旅. 高速串行通信中时间抖动的若干问题研究[D]. 合肥: 中国科学技术大学, 2011.
WANG Donglyu. Research on some problems of time jitter in high-speed serial communication[D]. Hefei: University of Science and Technology of China, 2011.
- 16 汪进进. 关于眼图测量[J]. 中国集成电路, 2015, **24**(12): 72–77+85.
WANG Jinjin. About eye diagram measurement[J]. China Integrated Circuit, 2015, **24**(12): 72–77+85.
- 17 霍卫涛, 邵刚, 李攀, 等. 高速 SerDes 抖动成因及其测试方法分析[J]. 计算机光盘软件与应用, 2012, (02): 67–68.
HUO Weitao, SHAO Gang, LI Pan, *et al.* Causes and test methods of SerDes jitter at high speed[J]. Computer CD Software and Applications, 2012, (02): 67–68.
- 18 韦雪明. 高速 SERDES 接口芯片设计关键技术研究[D]. 成都: 电子科技大学, 2012.
WEI Xueming. Research on key technologies for high-speed SERDES interface chip design[D]. Chengdu: University of Electronic Science and Technology of China, 2012.